

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58178408 A**

(43) Date of publication of application: **19.10.83**

(51) Int. Cl.

**G05B 23/02**  
**G06F 9/06**  
**G06F 11/00**

(21) Application number: **57060650**

(22) Date of filing: **12.04.82**

(71) Applicant: **OMRON TATEISI ELECTRONICS CO**

(72) Inventor: **HAGIWARA TOMIO**

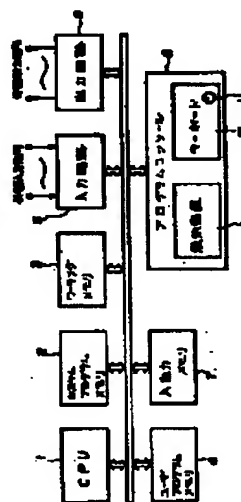
(54) **PROGRAMMABLE CONTROLLER HAVING  
SIMULATING FUNCTION**

COPYRIGHT: (C)1983,JPO&Japio

(57) Abstract:

**PURPOSE:** To make a program check without changing the extensive wiring of input/output equipment by separating a programmable controller and equipment to be controlled substantially from each other only by operating a mode switch, etc.

**CONSTITUTION:** When the mode changeover switch 11 is placed in simulation mode, a user program is executed on the basis of data in an input/output memory 7 to rewrite the output data of the input/output memory 7, but output updating operation for transferring the output data of the input/output memory 7 to an output circuit 8 as an external output signal and input updating operation for transferring input data supplied to an input circuit 5 to the input/output memory 7 are both inhibited. The output data of the input/output memory 7, however, is displayed on the display 9 of a program console 8 and the data of the input/output memory 7 is determined optionally by operating the keyboard 10 of the program console 8.



⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—178408

⑫ Int. Cl.<sup>3</sup>  
G 05 B 23/02  
G 06 F 9/06  
11/00

識別記号

庁内整理番号  
6846—5月  
7218—5月  
7368—5月

⑬ 公開 昭和58年(1983)10月19日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ 模擬実行機能を備えたプログラマブル・コントローラ

京都市右京区花園土堂町10番地  
立石電機株式会社内

⑮ 特 願 昭57—60650  
⑯ 出 願 昭57(1982)4月12日  
⑰ 発 明 者 萩原富男

⑱ 出 願 人 立石電機株式会社  
京都市右京区花園土堂町10番地  
⑲ 代 理 人 弁理士 和田成則

明 細 書

1. 発明の名称

模擬実行機能を備えたプログラマブル・コントローラ

2. 特許請求の範囲

(1) ユーザプログラムが格納されるユーザプログラムメモリと、外部入力信号が与えられる入力回路と、外部出力信号を送出する出力回路と、上記入力回路および出力回路に対応した入出力データのバッファメモリとなる入出力メモリと、上記ユーザプログラムメモリの各命令を順次高速に実行し、上記入出力メモリのデータに基づいて演算処理をし、その処理結果で上記入出力メモリの出力データを置換える命令実行手段と、上記入力回路の入力データを上記入出力メモリの所定エリアに書き込む入力更新手段と、上記入出力メモリの所定エリアの出力データを上記出力回路にセットする出力更新手段とを備え、上記命令実行手段、入力更新手段および出力更新手段の動作を順番に繰り返すプログラマブル・コントローラにおいて、

動作モードを模擬実行モードに切り換えるためのモード切換手段と、上記入出力メモリの各データの状態を任意に指定するための入力手段と、上記入出力メモリの各データの状態を表示するための表示手段と、上記モード切換手段にて模擬実行モードが選択されたとき、上記入力更新手段および出力更新手段の動作を禁止し、これに代えて上記入出力メモリのデータを上記入力手段にて指定された状態にセットするとともに上記入出力メモリのデータの状態を上記表示手段にて表示させる制御手段とを設けたことを特徴とする模擬実行機能を備えたプログラマブル・コントローラ。

3. 発明の詳細な説明

この発明はプログラマブル・コントローラに関する。特に、外部入出力信号線を接続したままの状態ユーザプログラムを模倣的に実行させるようにした模擬実行機能を備えたプログラマブル・コントローラに関する。

周知のように、一般の多くのプログラマブル・コントローラは、基本的に、ユーザプログラムが

格納されるユーザプログラムメモリと、外部入力信号が与えられる入力回路と、外部出力信号を送出する出力回路と、上記入力回路および出力回路に対応した入出力データのバッファメモリとなる入出力メモリと、上記ユーザプログラムメモリの各命令を順次為読に実行し、上記入出力メモリのデータに基づいて演算処理をし、その処理結果で上記入出力メモリの出力データを置換える命令実行手段と、上記入力回路の入力データを上記入出力メモリの所定エリアに置込む入力更新手段と、上記入出力メモリの所定エリアの出力データを上記出力回路にセットする出力更新手段とを備え、上記命令実行手段、入力更新手段および出力更新手段の動作を順次に繰り返すように構成されている。

この種プログラマブル・コントローラを実際に使用するに際してのユーザプログラムの開発途中や、あるいはユーザプログラムの部分修正等を行なう場合には、当然ながらなんらかの方法によってプログラムのチェックを繰り返しながら所望す

るユーザプログラムを正しく完成させて行く。この場合、チェックの手段としては、部分的に完成したユーザプログラムを実行させてみる方法が極めて有効な手段であり、一般に多く行なわれている。しかし、未完成のユーザプログラムをチェックするのに、プログラマブル・コントローラの入出力回路に実際の制御対象を接続し、そのユーザプログラムで実際に制御動作を行なわせるのは、ユーザプログラムの未完成の程度や制御対象の種類によっては極めて危険なことである。

そのために従来においても、プログラマブル・コントローラの入出力回路に実際の制御対象に代わる入出力模塊を接続するのではなく、模擬入出力装置なるものを接続し、この模擬入出力装置から任意に入出力信号をプログラマブル・コントローラに与えるとともに、ユーザプログラムの実行結果である出力データを模擬入出力装置で検出するようにしたものもある。しかし、この場合は、プログラマブル・コントローラの入出力回路に対して実際の制御対象に代えて模擬入出力装置を接

続し代えるために膨大な配線組換作業が必要となり、非常に不便なものであった。この欠点は、ユーザプログラムの修正等を行なう場合に模擬入出力装置と実際の制御対象とを度々変更する必要があるとき極めて顕著となり、実際に模擬入出力装置を換ったプログラムチェックを行なうことを不可能にする。

この発明は上述した従来の問題点に基きなされたものであり、その目的は、入出力回路に実際の制御対象を接続したまま状態で随時必要に応じて配線をいじることなしに実質的に制御対象をプログラマブル・コントローラから分離し、その状態で任意の入出力データを与えてユーザプログラムを実行させ、かつその結果の出力データを表示するようにした模擬実行機能を備えたプログラマブル・コントローラを提供することにある。

上記の目的を達成するために、この発明は、動作モードを模擬実行モードに切り換えるためのモード切換手段と、上記入出力メモリの各データの状態を付帯に指定するための入力手段と、上記入出

力メモリの各データの状態を表示するための表示手段と、上記モード切換手段にて模擬実行モードが選択されたとき、上記入力更新手段および出力更新手段の動作を禁止し、これに代えて上記入出力メモリのデータを上記入力手段にて指定された状態にセットするとともに上記入出力メモリのデータの状態を上記表示手段にて表示させる制御手段とを設けたことを特徴とする。

以下、この発明の実施例を図面に基づいて詳細に説明する。

第1図はこの発明を適用したプログラマブル・コントローラのハードウェア構成を示すブロック図である。このプログラマブル・コントローラは、全体の制御の中核となるCPU1（中央処理ユニット）と、CPU1によって実行されるシステムプログラムを格納したシステムプログラムメモリ2と、CPU1によって各種可変データの一時格納エリアとして用いられるワーキングメモリ3と、使用者が任意に設定したシーケンス制御プログラムが格納されるユーザプログラムメモリ4と、外

部入力信号が与えられるインターフェイス回路である入力回路5と、外部出力信号を送出するインターフェイス回路である出力回路6と、入力回路5および出力回路6に接続した入出力データのバッファメモリとなる入出力メモリ7と、CPU1に各種の動作指令を与えたり、ユーザプログラムの作成入力やモニタ指令入力を行ったり、また入力時の表示やモニタ表示等がなされるプログラムコンソール8とを備えている。プログラムコンソール8は、CRT等を用いた表示装置9およびキーボード10を有し、この発明に係る模擬実行のための入力手段および表示手段としての機能を果たす。

周知のように、この種のプログラマブル・コントローラにおけるユーザプログラムの実行動作は、ユーザプログラムメモリ4からユーザ命令を順次読出し、各ユーザ命令に従って入出力メモリ7に格納されている入出力データ読の演算処理をし、かつその結果によって入出力メモリ7の指定の出力データを更新することであり、また、このユー

ザプログラムの実行と同期して入力回路5に与えられている入力データを入出力メモリ7の所定エリアに書き込むとともに（入力更新）、入出力メモリ7の所定エリアの出力データを出力回路6に転送する（出力更新）動作が行なわれ、これにより入力回路5に与えられる入力データと出力回路6から出力する出力データとの関係において、ユーザプログラムにて指定されたシーケンス状態が作り出される訳である。なお、ユーザプログラムでの演算処理対象となるのは入力回路5および出力回路6の入出力データだけではなく、いわゆる内部リレーや補助リレーと呼ばれるメモリ3あるいはメモリ7に記憶するデータも含まれるのは周知の通りである。また、メモリ3またはメモリ7を使用していわゆるタイマ命令やカウンタ命令を処理するようになっていのも周知の通りである。

上記プログラムコンソール8のキーボード10にはテンキーや命令コードキーやその他のファンクションキーが設けられているとともに、この発明を適用するために、CPU1の動作を模擬実行

モードに切り換えるためのモード切換スイッチ11が設けられている。

この発明のプログラマブル・コントローラは、上記モード切換スイッチ11を模擬実行モードにすると、入出力メモリ7のデータに基づいてユーザプログラムを実行して入出力メモリ7の出力データを演算する処理は行われるが、入出力メモリ7の出力データを出力回路6に転送して外部出力信号とする出力更新動作と、入力回路5に与えられている入力データを入出力メモリ7に転送する入力更新動作が禁止されて行われなくなる。これに代って、入出力メモリ7の出力データがプログラムコンソール8の表示装置9に表示され、また入出力メモリ7のデータをプログラムコンソール8のキーボード10を操作することによって任意に決定できる。つまり、キーボード10にて入力データを入出力メモリ7に任意に書き込み、これに基づいてユーザプログラムを実行させ、その実行結果である出力データを表示装置9に表示させることができる。これが模擬実行である。

次にCPU1によって実行されるシステムプログラムの概要を示す第2図A、B、Cのフローチャートに従ってCPU1の制御動作を順次に説明する。

最初のステップ201ではユーザプログラムメモリ4をアドレッシングするプログラムカウンタをもって先頭番地を指定する。次のステップ202では上記プログラムカウンタで指定されるところの1命令をユーザプログラムメモリ4から読出す。次のステップ203では読出したユーザ命令が入出力メモリ7の入出力データについての論理演算を行なう入力命令あるいは出力命令であるかを判断する。入力または出力命令であった場合、ステップ204に進み、その命令の内容に従って入出力メモリ7のデータを読出したり、論理演算を行ったり、入出力メモリ7にデータを書き込んだりする。ステップ202で読出した命令が入力または出力命令でない場合はステップ205に進み、その命令がユーザプログラムの最後に挿入されているEND命令か否かを判定する。END

0命令以外の命令である場合はステップ206に進み、その命令を実行する。ステップ204または206でユーザ命令を実行した後はステップ207に進み、上記プログラムカウンタをインクリメントし、次のユーザ命令を指定し、先のステップ202に戻る。このようにユーザプログラムの最後のEND命令が検出されるまでステップ202から207までが高速に繰返し実行される。

ユーザプログラムを一連実行してステップ205にてEND命令が検出されると、ステップ208に進み、上記モード切換スイッチ11が通常実行モードに設定されているか監視実行モードに設定されているかをチェックする。まず通常実行モードについて説明すると、その場合はステップ209に進み、入力回路5の入力データを入出力メモリ7に読込む入力更新動作を行ない、次にステップ210で入出力メモリ7の出力データを出力回路6に転送する出力更新動作を行ない、次にステップ211でユーザプログラムの実行状態を示す情報をプログラムコンソール8に転送し、その

情報を所定の態様でモニタ表示するモニタ処理が行なわれる。その後最初のステップ201に戻る。つまり、通常実行モードでは上述した命令実行手段と入力更新手段と出力更新手段の動作が順次に繰返し行なわれる。

モード切換スイッチ11が監視実行モードに切換えられている場合、ユーザプログラムを一連実行してステップ205でイエスと判定された後、ステップ208でイエスと判定され、ステップ212側へ分岐する。このステップ212では、プログラムコンソール8のキーボード10による指示内容に従い、入出力メモリ7の入力データのうちの指定のものを指定された論理状態にセットする処理がなされる。次のステップ213では、入出力メモリ7の入出力データの論理状態を全てプログラムコンソール8の表示装置9に表示する一括モニタ処理がなされる。その後最初のステップ201に戻る。つまり、先のステップ209の入力更新およびステップ210の出力更新の動作は行われない。

第2図Bは前記ステップ212の入力データ読みの処理ルーチンの詳細を示している。キーボード10でもって変更したい入力データの番号(アドレス)を入力すると、ステップ301、302でそれが検出され、ステップ303でその入力番号がCPU1に読込まれるとともに、表示装置9に表示される。次に、その入力番号の論理状態を“1”にするのか“0”にするのかをキーボード10で入力すると、その入力がステップ304またはステップ306で検出され、ステップ305またはステップ307にてその入力情報がCPU1に読込まれ、また表示装置9の上記入力番号に対応した表示エリアにONまたはOFFという表示がなされる。このようにして入出力メモリ7の付属の入力番号のデータを任意の論理状態に設定することができ、またその設定状態が表示装置9に表示される。

第2図Cは先のステップ213の入出力データの一括モニタ処理ルーチンの詳細を示している。ステップ401で入出力メモリ7の最初の番号の

データを読取り、次のステップ402でそのデータが“1”か“0”かを判定し、それに応じてステップ403または404にて表示装置9における入出力番号の表示に対応して該当番号にONまたはOFFを表示する。次のステップ405で入出力メモリの次の番号を指定し、次のステップ406でその番号が入出力メモリ7の最終番号かどうかを判断し、最終番号に達するまで先のステップ401に戻り、上記の処理を繰り返す。これによって入出力メモリ7の全入出力データの論理状態が表示装置9の表示画面にそれぞれの入出力番号と対応付けて表示される。

なおステップ212の入力データを任意に変更させる処理およびその入力方式や、ステップ213の入出力メモリ7の入出力データを表示する形態は種々実施できるものであり、先に説明した実施例限定されるものではない。特に、入出力データのモニタとして、ユーザプログラムを微電圧ラダー回路等の形で表示し、その回路図上に各データの論理状態を付加表示することが従来から知ら

れているが、ステップ213の一括モニタにこれを適用してもよい。

以上詳細に説明したように、この発明に係る模擬実行機能を備えたプログラマブル・コントローラによれば、入力回路および出力回路に実際の制御対象機器に係わる入力信号源や負荷を接続したままの状態、単にモードスイッチ等を切替えるだけで、プログラマブル・コントローラと制御対象機器とを実質的に分離し、その状態でユーザプログラムを実行させ、かつ入出力メモリの入力データはキーボード等の操作によって任意に設定できるとともに入出力メモリの出力データを表示させて確認することができ、ユーザプログラムの作成途中や部分変更等の際してのプログラムチェックが、入出力機器の膨大な配線をいじることなしに、必要に応じて随時極めて容易にこれを行なうことができる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるプログラマブル・コントローラのハードウェア構成を示すブ

ロック図、第2図A、B、Cはこの発明の一実施例に係るプログラマブル・コントローラのソフトウェア構成を示すフローチャートである。

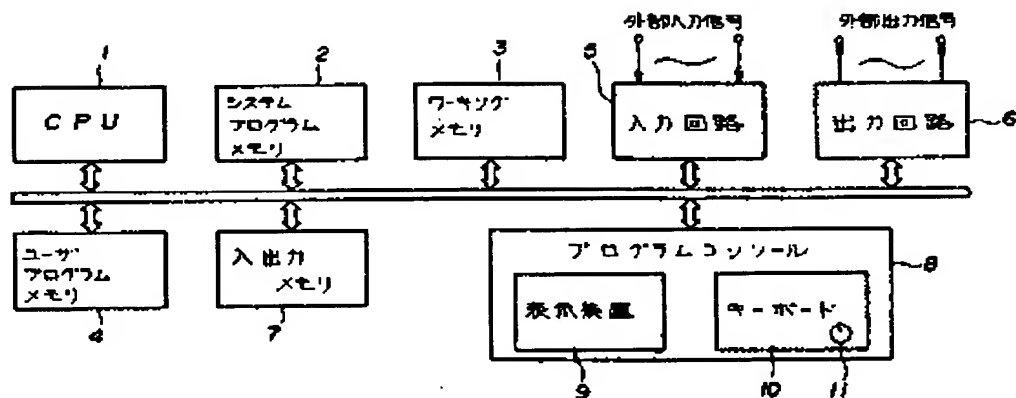
- 1 …… CPU
- 4 …… ユーザプログラムメモリ
- 5 …… 入力回路
- 6 …… 出力回路
- 8 …… プログラムコンソール
- 9 …… 表示装置
- 10 …… キーボード
- 11 …… モード切換スイッチ

特許出願人

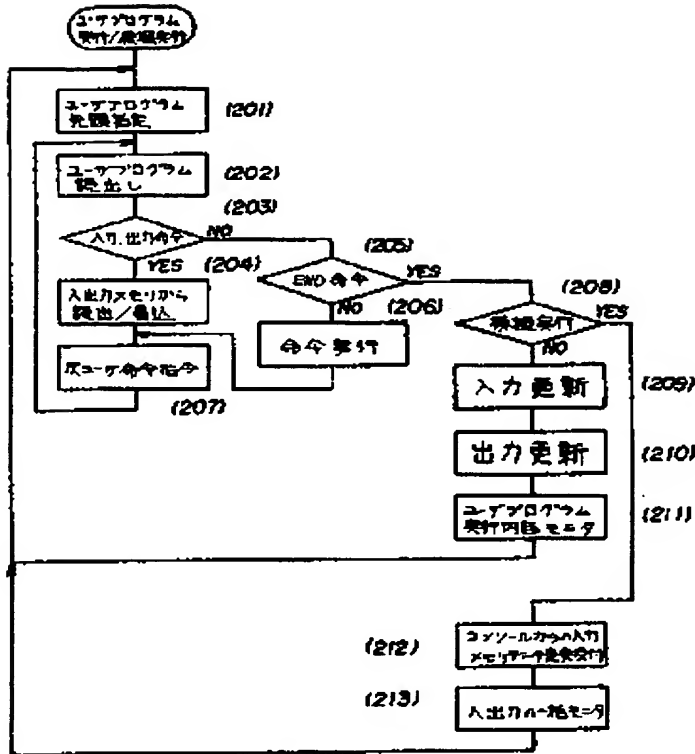
立石電機株式会社

代理人 弁理士 和田 成 剛

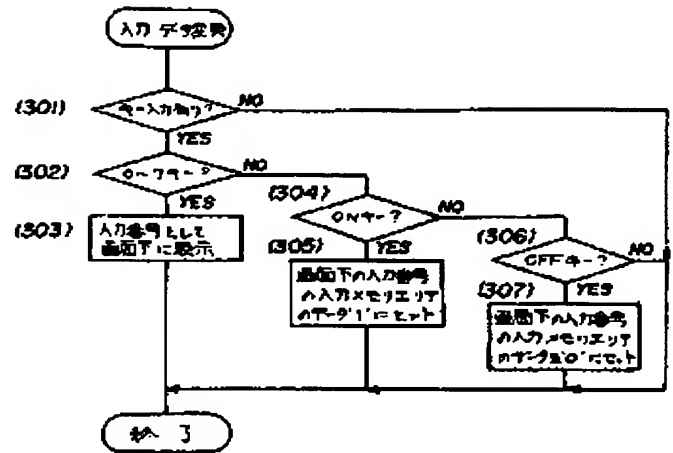
第 1 図



第 2 図 A



第 2 図 B



第 2 図 C

